

[Previous Doc](#)[Next Doc](#)
[First Hit](#)[Go to Doc#](#)

Generate Collection

L14: Entry 5 of 6

File: JPAB

Jan 17, 1997

PUB-NO: JP409017981A
DOCUMENT-IDENTIFIER: JP 09017981 A
TITLE: SEMICONDUCTOR STORAGE DEVICE

PUBN-DATE: January 17, 1997

INVENTOR-INFORMATION:

NAME

COUNTRY

TSUJIKAWA, TETSUYA

TANAKA, TOSHIHIRO

OSHIMA, KAZUYOSHI

NODA, TOSHIFUMI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP07189776

APPL-DATE: July 3, 1995

INT-CL (IPC): [H01 L 27/115](#); [H01 L 21/8247](#); [H01 L 29/788](#); [H01 L 29/792](#)

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the cost by scaling down the chip size of a flash memory, etc.

SOLUTION: In a semiconductor storage device such as a NOR-type flash memory, etc., fundamentally composed of constituents of memory arrays MARY in each of which two-layer gate structure type of nonvolatile memory cells are arranged in substantially lattice form, when one hand of a row selection signal lines BLLO and BLRO in a pair or the like arranged between two memory blocks BBLOO and MBROO in a pair or the like is used as a bit line, the other hand is used selectively as a source line. Hereby, the row selection signal lines BLLO and BLRO or the like are doubled as a bit line and a source line, whereby the required selection signal lines of a memory array are reduced sharply.

COPYRIGHT: (C)1997,JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17981

(43) 公開日 平成9年(1997)1月17日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|--------|---------------|--------|
| H 0 1 L 27/115 | | | H 0 1 L 27/10 | 4 3 4 |
| 21/8247 | | | 29/78 | 3 7 1 |
| 29/788 | | | | |
| 29/792 | | | | |

審査請求 未請求 請求項の数 4 F D (全 11 頁)

(21) 出願番号 特願平7-189776
 (22) 出願日 平成7年(1995)7月3日

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (72) 発明者 辻川 哲也
 東京都青梅市今井2326番地 株式会社日立
 製作所デバイス開発センタ内
 (72) 発明者 田中 利広
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 大嶋 一義
 東京都青梅市今井2326番地 株式会社日立
 製作所デバイス開発センタ内
 (74) 代理人 弁理士 徳若 光政

最終頁に続く

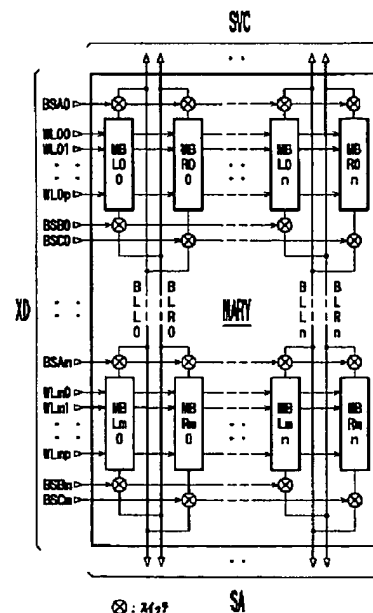
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 フラッシュメモリ等のチップサイズを縮小し、低コスト化を図る。

【構成】 2層ゲート構造型の不揮発性メモリセルが実質格子状に配置されたメモリアレイMAYをその基本構成要素とするノア型フラッシュメモリ等の半導体記憶装置において、対をなす二つのメモリブロックMBL00及びMBR00等間に配置された一対の列選択信号線BLL0及びBLR0等を、その一方がビット線として使用されるときその他方をソース線として選択的に使用する。これにより、列選択信号線BLL0及びBLR0等をビット線及びソース線として兼用し、メモリアレイの所要選択信号線を大幅に削減する。

図2 メモリアレイのブロック構成 (実施例1)



【特許請求の範囲】

【請求項1】 実質格子状に配置される不揮発性のメモリセルと、列方向に平行して配置されビット線又はソース線として選択的に使用される列選択信号線とを含むメモリアレイを具備することを特徴とする半導体記憶装置。

【請求項2】 上記メモリセルは、同一列に配置される所定数を単位としてメモリブロック分割され、各メモリブロックを構成する所定数のメモリセルのドレイン及びソースは、対応するサブビット線及びサブソース線にそれぞれ共通結合されるものであることを特徴とする請求項1の半導体記憶装置。

【請求項3】 上記メモリブロックは、行方向に隣接する二つをもってそれぞれ対をなすものであって、上記列選択信号線は、対をなす二つのメモリブロックの間に一対ずつ配置され、かつ対をなす2本の列選択信号線のそれぞれは、その一方がビット線として使用されるときその他方がソース線として使用されるものであることを特徴とする請求項1又は請求項2の半導体記憶装置。

【請求項4】 上記列選択信号線は、メモリブロックと交互に配置され、かつ各メモリブロックの両側に配置される2本の列選択信号線のそれぞれは、その左方がビット線として使用されるときその右方がソース線として使用されるものであることを特徴とする請求項1又は請求項2の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体記憶装置に関し、例えば、ノア型のフラッシュメモリならびにそのチップサイズ縮小に利用して特に有効な技術に関する。

【0002】

【従来の技術】2層ゲート構造型の不揮発性メモリセルが格子状に配置されてなるメモリアレイをその基本構成要素とするフラッシュメモリがある。また、同一列に配置された所定数のメモリセルを単位としてメモリブロックに分割し、各メモリブロックを構成する所定数のメモリセルのドレイン及びソースをサブビット線及びサブソース線にそれぞれ共通結合したいわゆるノア(NOR)型のフラッシュメモリがある。ノア型のフラッシュメモリは、直交して配置されるワード線、ビット線及びソース線を備え、さらにビット線又はソース線と指定されたメモリブロックのサブビット線又はサブソース線との間を選択的に結合するための選択MOSFET(金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする)を備える。

【0003】

【発明が解決しようとする課題】近年、フラッシュメモリの大規模化・大容量化は著しく、それとともなうチップサイズの増大が問題となりつつある。特に、行又は列

ごとにワード線、ビット線及びソース線を必要とする従来のフラッシュメモリでは、その傾向が顕著となり、これによってフラッシュメモリの低コスト化が制約を受けている。

【0004】この発明の目的は、フラッシュメモリ等の半導体記憶装置のチップサイズを縮小し、その低コスト化を図ることにある。

【0005】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、2層ゲート構造型の不揮発性メモリセルが実質格子状に配置されたメモリアレイをその基本構成要素とするノア型フラッシュメモリ等の半導体記憶装置において、対をなす二つのメモリブロック間に配置された一対の列選択信号線あるいは各メモリブロックの両側に配置された2本の列選択信号線をビット線又はソース線として選択的に使用する。

【0007】

【作用】上記手段によれば、列選択信号線をビット線及びソース線として兼用し、メモリアレイの所要選択信号線を大幅に削減できるため、ノア型フラッシュメモリ等のチップサイズを縮小し、その低コスト化を図ることができる。

【0008】

【実施例】図1には、この発明が適用されたフラッシュメモリの一実施例のブロック図が示されている。また、図2には、図1のフラッシュメモリに含まれるメモリアレイMARYの第1の実施例のブロック図が示され、図3には、その一実施例の部分的な回路図が示されている。さらに、図4には、図2のメモリアレイMARYの一実施例の選択条件図が示され、図5及び図6には、その左側メモリブロック読み出し時及び右側メモリブロック読み出し時における接続図がそれぞれ示されている。これらの図をもとに、この実施例のフラッシュメモリの構成及び動作ならびにその特徴について説明する。なお、図1の各ブロックを構成する回路素子は、公知のCMOS(相補型MOS)集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。また、図3～図6では、メモリブロックMBL00及びMBR00を例に具体的説明を進めるが、その他のメモリブロックについてはこれと同一構成とされるため、類推されたい。

【0009】図1において、この実施例のフラッシュメモリは、半導体基板面の大半を占めて配置されるメモリアレイMARYをその基本構成要素とする。メモリアレイMARYは、図2に示されるように、 $2 \times (m+1) \times (n+1)$ 個のメモリブロックMBL00～MBL0

nないしMBLm0〜MBLmnならびにMBR00〜MBR0nないしMBRm0〜MBRmnを備える。これらのメモリブロックは、行方向に隣接する二つがそれぞれ対をなし、対をなす二つのメモリブロックMBL00及びMBR00等の間には、一対の列選択信号線つまりビット線BL0及びBLR0ないしBLLn及びBLRnがそれぞれ配置される。なお、この実施例では、ビット線及びソース線として兼用される列選択信号線のことをビット線と称しているが、これをソース線と称しても一向に構わない。

【0010】ここで、メモリアレイMARYを構成するメモリブロックMBL00〜MBL0nないしMBLm0〜MBLmnならびにMBR00〜MBR0nないしMBRm0〜MBRmnは、図3のメモリブロックMBL00及びMBR00に代表して示されるように、同一列に配置されたp+1個の2層ゲート構造型メモリセルMCをそれぞれ含む。これらのメモリセルMCは並列結合され、いわゆるノア型メモリアレイを構成する。以下、メモリブロックに関する具体的な説明は、これらのメモリブロックMBL00及びMBR00を例に進め

る。

【0011】メモリブロックMBL00及びMBR00を構成するメモリセルMCの制御ゲートは、対応するワード線WL00〜WL0pに共通結合され、そのドレイン及びソースは、対応するサブビット線SBL0及びSBLRあるいはサブソース線SSL0及びSSLRにそれぞれ共通結合される。このうち、サブビット線SBL0及びSBLRは、対応するスイッチ手段つまりNチャンネルMOSFETN1又はN2を介して対応するビット線BL0又はBLR0に共通結合される。また、メモリブロックMBL00のサブソース線SSL0は、対応するスイッチ手段つまりNチャンネルMOSFETN3を介して右側のビット線BLR0に共通結合され、メモリブロックMBR00のサブソース線SSLRは、対応するスイッチ手段つまりNチャンネルMOSFETN4を介して左側のビット線BL0に共通結合される。MOSFETN1及びN2のゲートは、対応するブロック選択線BSA0に共通結合され、MOSFETN3及びN4のゲートは、対応するブロック選択線BSB0又はBSC0にそれぞれ共通結合される。

【0012】メモリアレイMARYを構成するワード線WL00〜WL0pないしWLm0〜WLmp、ブロック選択線BSA0〜BSAm、BSB0〜BSBmならびにBSC0〜BSCmは、その左方においてXアドレスデコーダXDに結合され、選択的に所定の選択又は非選択レベルとされる。また、ビット線BL0〜BLLnならびにBLR0〜BLRnは、その上方においてソース基板電圧切換回路SVCに結合され、その下方においてセンスアンプSAに結合される。

【0013】XアドレスデコーダXDには、Xアドレス

バッファXBからi+1ビットの内部アドレス信号X0〜Xiが供給されるとともに、タイミング発生回路TGから内部制御信号CEが供給され、内部電圧発生回路VGから内部電圧VP2、VP3及びVN3が供給される。また、ソース基板電圧切換回路SVCには、YアドレスバッファYBから最下位ビットの内部アドレス信号Y0が供給されるとともに、タイミング発生回路TGから内部制御信号ECが供給され、内部電圧発生回路VGから内部電圧VN1及びVN2が供給される。さらに、

10 センスアンプSAには、タイミング発生回路TGから内部制御信号WCが供給されるとともに、内部電圧発生回路VGから内部電圧VP1が供給される。XアドレスバッファXBには、外部端子AX0〜AXiを介してXアドレス信号AX0〜AXiが供給され、タイミング発生回路TGから内部制御信号ALが供給される。

【0014】この実施例において、センスアンプSAは、n+1ビットのデータレジスタDRを含む。このセンスアンプSAの各ビットの一方の入出力ノードは、メモリアレイMARYの対応するビット線BL0〜BLLnあるいはBLR0〜BLRnに選択的に接続され、その他方の入出力ノードは、YスイッチYSを介して8ビットずつ選択的にデータバスDB0〜DB7に接続される。YスイッチYSには、YアドレスデコーダYDから図示されない(n+1)/8ビットのビット線選択信号YS0〜YSqが供給される。また、YアドレスデコーダYDには、YアドレスバッファYBからj+1ビットの内部アドレス信号Y0〜Yjが供給され、タイミング発生回路TGから内部制御信号CEが供給される。さらに、YアドレスバッファYBには、外部端子AY0〜AYjを介してYアドレス信号AY0〜AYjが供給され、タイミング発生回路TGから内部制御信号ALと図示されない内部制御信号DCが供給される。データバスDB0〜DB7は、マルチプレクサMXの一方の入出力端子に結合されるとともに、モードコントローラMCの入出力端子に結合される。マルチプレクサMXの他方の入出力端子は、データ入出力回路IOの一方の入出力端子に結合され、モードコントローラMCの一つの出力信号は、外部端子R/BBを経てレディ・ビジー信号R/BBとなる。さらに、データ入出力回路IOの他方の入出力端子は、対応するデータ入出力端子IO0〜IO7に結合される。また、マルチプレクサMXには、タイミング発生回路TGから内部制御信号CMDが供給される。

【0015】なお、内部制御信号CEは、フラッシュメモリがチップイネーブル信号CEB（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）のロウレベルを受けて選択状態とされるとき、選択的にハイレベルとされる。また、内部制御信号ECは、フラッシュメモリが消去モードで選択状態とされるとき所定のタイミングで選択的にハイレベルとさ

れ、内部制御信号WCは、フラッシュメモリが書き込みモードで選択状態とされるとき所定のタイミングで選択的にハイレベルとされる。一方、内部電圧VP1、VP2及びVP3は、特に制限されないが、それぞれ+1V、+6V及び+10Vとされ、内部電圧VN1、VN2及びVN3は、それぞれ-3V、-4V及び-10Vとされる。

【0016】XアドレスバッファXBは、アドレス入力端子AX0~AXiを介して供給されるXアドレス信号AX0~AXiを内部制御信号ALに従って取り込み、保持するとともに、これらのXアドレス信号をもとに内部アドレス信号X0~Xiを形成して、XアドレスデコーダXDに供給する。また、XアドレスデコーダXDは、XアドレスバッファXBから供給される内部アドレス信号X0~Xiをデコードして、メモリアレイMARYのワード線WL00~WL0pないしWLm0~WLmp、ブロック選択線BSA0~BSAm、BSB0~BSBmならびにBSC0~BSCmを選択的に所定の選択又は非選択レベルとする。

【0017】次に、ソース基板電圧切換回路SVCは、内部アドレス信号Y0及び内部制御信号ECに従って、メモリアレイMARYのビット線BLL0~BLLnならびにBLR0~BLRnを選択的に所定の選択又は非選択レベルとする。また、センスアンプSAは、メモリアレイMARYの選択されたワード線に結合されるn+1個のメモリセルMCから対応するビット線BLL0~BLLnあるいはBLR0~BLRnを介して出力される読み出し信号を増幅して、YスイッチYSからマルチプレクサMX及びデータ入出力回路IOを介して8ビットずつシリアルに出力するとともに、データ入出力回路IOからマルチプレクサMX及びYスイッチYSを介してシリアルに入力される書き込みデータを取り込み、内部制御信号WCに従ってメモリアレイMARYの選択されたワード線に結合されるn+1個のメモリセルMCに書き込む。このような読み出し又は書き込みデータのシリアル入出力動作を実現するため、YアドレスバッファYBは内部制御信号DCに従って内部アドレス信号Y0~Yjを歩進する機能を併せ持つ。

【0018】ところで、フラッシュメモリが書き込みモードとされるとき、選択状態にあるワード線のレベルは、図4に示されるように、内部電圧VN3つまり-10Vとされ、非選択状態にあるワード線のレベルは、電源電圧VCCつまり+3Vもしくは接地電位VSSつまり0Vとされる。また、選択状態にあるブロック選択線AつまりBSA0~BSAmのレベルは、内部電圧VP2つまり+6Vとされ、非選択状態にあるブロック選択線Aのレベルは接地電位VSSつまり0Vとされる。このとき、ブロック選択線BつまりBSB0~BSBmならびにブロック選択線CつまりBSC0~BSCmは、すべて開放状態OPENとされる。また、書き込み対象

となる左側のビット線BLL0~BLLnあるいは右側のビット線BLR0~BLRnには、センスアンプSAから電源電圧VCCつまり+3Vが選択的に供給され、書き込み対象とならないビット線には接地電位VSSつまり0Vが供給される。メモリセルMCの基板部となるウェル領域には、接地電位VSSが供給される。

【0019】これにより、まず指定された列の2×(n+1)個のメモリブロックでは、対応するブロック選択線BSA0~BSAmが択一的にハイレベルとされ、その選択MOSFETN1及びN2がオン状態とされ、対応する左側のビット線BLL0~BLLnあるいは右側のBLR0~BLRnからサブビット線SBLL又はSBLRに対して+3Vの書き込み電圧が選択的に供給される。また、これらのメモリブロックの指定されたメモリセルMCのゲートには、対応するワード線WL00~WL0pないしWLm0~WLmpを介して内部電圧VN3つまり-10Vが供給され、その基板部には0Vが供給される。この結果、左側又は右側のメモリブロックの選択されたワード線に結合されるn+1個のメモリセルMCでは、その浮遊ゲートに蓄積された電子がFN(Fowler Nordheim:ファウラー・ノルトハイム)トンネル現象によってドレイン側に引き抜かれ、そのしきい値電圧が比較的小さな値に変化される。

【0020】次に、フラッシュメモリが消去モードとされるとき、選択状態にあるワード線のレベルは内部電圧VP3つまり+10Vとされ、その非選択レベルは接地電位VSSつまり0Vとされる。また、ブロック選択線AないしCのレベルは、すべて接地電位VSSつまり0Vとされ、ビット線のレベルはすべて内部電圧VN1つまり-3Vとされる。このとき、メモリセルMCの基板部となるウェル領域には、内部電圧VN2つまり-3Vが供給される。

【0021】これにより、メモリアレイMARYの選択されたワード線に結合される2×(n+1)個のメモリセルMCでは、その基板部つまりチャンネルと浮遊ゲートとの間でFNトンネル現象が発生し、チャンネル全から浮遊ゲートに対して電子が注入されるため、そのしきい値電圧が比較的大きな値に変化される。

【0022】一方、フラッシュメモリが読み出しモードとされるとき、選択状態にあるワード線及びブロック選択線Aのレベルは電源電圧VCCつまり+3Vとされ、非選択状態にあるワード線及びブロック選択線Aのレベルは接地電位VSSつまり0Vとされる。このとき、選択されたブロック選択線Bのレベルは、例えば対をなす二つのメモリブロックMBL00及びMBR00のうち左側のメモリブロックMBL00が指定された場合において選択的に電源電圧VCCつまり+3Vとされ、右側のメモリブロックMBR00が指定された場合には接地電位VSSつまり0Vとされる。同様に、選択されたブ

10

20

30

40

50

ロック選択線Cのレベルは、例えば対をなす二つのメモリブロックMBL00及びMBR00のうち右側のメモリブロックMBR00が指定された場合において選択的に電源電圧VCCつまり+3Vとされ、左側のメモリブロックMBL00が指定された場合には接地電位VSSつまり0Vとされる。非選択状態とされるブロック選択線B及びCのレベルは、すべて接地電位VSSつまり0Vとされる。

【0023】メモリアレイMARYでは、ブロック選択線Aの+3Vを受けて例えば対応する $2 \times (n+1)$ 個のメモリブロックMBL00~MBLnならびにMBR00~MBRnのスイッチMOSFETN1及びN2がオン状態とされ、そのサブビット線SBLn又はSBLRと対応するビット線BLn0~BLnnあるいはBLR0~BLRnとの間が接続状態とされる。また、ブロック選択線Bの+3Vを受けて例えば対応する左側の $n+1$ 個のメモリブロックMBL00~MBLnのスイッチMOSFETN2がオン状態とされ、ブロック選択線Cの+3Vを受けて例えば対応する右側の $n+1$ 個のメモリブロックMBR00~MBRnのスイッチMOSFETN3がオン状態とされる。この結果、右側のビット線BLR0~BLRnは、ブロック選択線BつまりBSB0~BSBmのいずれかが+3Vの選択レベルとされることで選択的にソース線として使用され、左側のビット線BLn0~BLnnは、ブロック選択線CつまりBSC0~BSCmのいずれかが+3Vの選択レベルとされることで選択的にソース線として使用されるものとなる。言うまでもなく、右側のビット線BLR0~BLRnがソース線として使用されるとき左側のビット線BLn0~BLnnはビット線として使用され、左側のビット線BLn0~BLnnがソース線として使用されるとき右側のビット線BLR0~BLRnはソース線として使用される。

【0024】読み出しモードにおいて、例えば左側のメモリブロックMBL00のワード線WL00に結合されるメモリセルMCが選択されるとき、この選択メモリセルMCのドレインには、図5に例示されるように、センスアンプSAからビット線として使用される左側のビット線BLn0、スイッチMOSFETN1及びサブビット線SBLnを介して内部電圧VP1つまり+1Vの読み出し電圧が印加される。このため、選択メモリセルMCが書き込み状態にありそのしきい値電圧が小さくなっている場合には、この選択メモリセルMCがオン状態となり、サブソース線SSLからスイッチMOSFETN3ならびにソース線として使用される右側のビット線BLR0を介して、点線のような比較的大きな読み出し電流が流れる。また、選択メモリセルMCが消去状態のままとされそのしきい値電圧が大きくなっている場合には、この選択メモリセルMCはオフ状態となって読み出し電流は流れない。選択メモリセルMCを介する読み出

し電流は、センスアンプSAの対応する増幅回路によってセンスされ、論理“0”又は“1”の読み出しデータとして対応するデータレジスタに取り込まれる。

【0025】同様に、読み出しモードにおいて、例えば右側のメモリブロックMBR00のワード線WL00に結合されるメモリセルMCが選択されるとき、この選択メモリセルMCのドレインには、図6に例示されるように、センスアンプSAからビット線として使用される右側のビット線BLR0、スイッチMOSFETN2及びサブビット線SBLRを介して内部電圧VP1つまり+1Vの読み出し電圧が印加される。このため、選択メモリセルMCが書き込み状態にありそのしきい値電圧が小さくなっている場合には、この選択メモリセルMCがオン状態となり、サブソース線SSLからスイッチMOSFETN4ならびにソース線として使用される左側のビット線BLn0を介して、点線のような比較的大きな読み出し電流が流れる。また、選択メモリセルMCが消去状態のままとされそのしきい値電圧が大きくなっている場合には、この選択メモリセルMCはオフ状態となって読み出し電流は流れない。選択メモリセルMCを介する読み出し電流は、センスアンプSAの対応する増幅回路によってセンスされ、論理“0”又は“1”の読み出しデータとして対応するデータレジスタに取り込まれる。

【0026】以上のように、この実施例のフラッシュメモリでは、例えば行方向に隣接する一対のメモリブロックMBL00及びMBR00等の間に一対のビット線BLn0及びBLR0等が配置され、通常ビット線として使用されるこれらのビット線は、ブロック選択線CつまりBSC0~BSCmあるいはブロック選択線BつまりBSB0~BSBmのいずれかが選択レベルとされることで、選択的にソース線として使用される。この結果、この実施例のフラッシュメモリでは、専用のソース線を設けることなく従来のフラッシュメモリと同様な機能を実現することができるため、フラッシュメモリの所要選択信号線数を大幅に削減し、これによってフラッシュメモリの低コスト化を図ることができるものである。

【0027】図7には、図1のフラッシュメモリに含まれるメモリアレイMARYの第2の実施例のブロック図が示されている。また、図8には、図7のメモリアレイMARYの一実施例の部分的な回路図が示され、図5及び図6には、その偶数ビット線読み出し時及び奇数ビット線読み出し時における接続図がそれぞれ示されている。なお、この実施例のメモリアレイMARYは、前記図2ないし図6の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。また、以下の記述では、読み出しモードを例にメモリアレイMARYの具体的な接続条件等を説明しているが、書き込み及び消去モードについては前記実施例の説明とこの読み出しモードに関する説明から類推されたい。

【0028】図7において、この実施例のメモリアレイMARYは、実質格子状に配置される $(m+1) \times (n+1)$ 個のメモリブロックMB00～MB0nないしMBm0～MBmnと、これらのメモリブロック間に行方向に交互に配置される $n+2$ 本の列選択信号線つまりビット線BL0～BLnとを備える。

【0029】ここで、メモリアレイMARYを構成するメモリブロックMB00～MB0nないしMBm0～MBmnは、図8のメモリブロックMB00及びMB01に代表して示されるように、同一列に配置された $p+1$ 個の2層ゲート構造型メモリセルMCをそれぞれ含む。以下、メモリブロックに関する具体的な説明は、これらのメモリブロックMB00及びMB01を例に進める。

【0030】メモリブロックMB00及びMB01を構成するメモリセルMCの制御ゲートは、対応するワード線WL00～WL0pに共通結合され、そのドレイン及びソースは、対応するサブビット線SBL及びサブソース線SSLにそれぞれ共通結合される。このうち、各メモリブロックのサブビット線SBLは、対応するスイッチ手段つまりNチャンネルMOSFETN5又はN6を介してその左側に配置されたビット線BL0又はBL1にそれぞれ共通結合され、サブソース線SSLは、対応するスイッチ手段つまりNチャンネルMOSFETN7又はN8を介してその右側に配置されたビット線BL1又はBL2にそれぞれ共通結合される。MOSFETN5及びN6のゲートは、対応するブロック選択線BSA0に共通結合され、MOSFETN7及びN8のゲートは、対応するブロック選択線BSB0又はBSC0にそれぞれ共通結合される。

【0031】フラッシュメモリが読み出しモードとされるとき、選択状態にあるワード線ならびにブロック選択線AつまりBSA0～BSAmのレベルは、前記実施例と同様に電源電圧VCCつまり+3Vとされ、非選択状態にあるワード線及びブロック選択線Aのレベルは接地電位VSSつまり0Vとされる。このとき、選択されたブロック選択線BつまりBSB0～BSBmのレベルは、偶数番号のメモリブロックMB00、MB02等が指定された場合において選択的に電源電圧VCCつまり+3Vとされ、偶数番号のメモリブロックMB01、MB03等が指定された場合は接地電位VSSつまり0Vとされる。同様に、選択されたブロック選択線CつまりBSC0～BSCmのレベルは、奇数番号のメモリブロックMB01、MB03等が指定された場合において選択的に電源電圧VCCつまり+3Vとされ、偶数番号のメモリブロックMB00、MB02等が指定された場合は接地電位VSSつまり0Vとされる。非選択状態とされるブロック選択線B及びCのレベルは、すべて接地電位VSSつまり0Vとされる。

【0032】メモリアレイMARYでは、ブロック選択線Aの+3Vを受けて対応する $n+1$ 個のメモリブロッ

クMB00～MB0nのスイッチMOSFETN5及びN6がオン状態とされ、そのサブビット線SBLと対応する左側のビット線BL0及びBL1等との間が接続状態とされる。また、ブロック選択線Bの+3Vを受けて偶数番号の $(n+1)/2$ 個のメモリブロックMB00、MB02等のスイッチMOSFETN7がオン状態とされ、ブロック選択線Cの+3Vを受けて奇数番号の $(n+1)$ 個のメモリブロックMB01及びMB03等のスイッチMOSFETN8がオン状態とされる。この結果、奇数番号のビット線BL1及びBS3等は、ブロック選択線BつまりBSB0～BSBmのいずれかが+3Vの選択レベルとされることで選択的にソース線として使用され、偶数番号のビット線BL0及びBS2等は、ブロック選択線CつまりBSC0～BSCmのいずれかが+3Vの選択レベルとされることで選択的にソース線として使用されるものとなる。言うまでもなく、奇数番号のビット線BL1及びBS3等がソース線として使用されるとき偶数番号のビット線BL0及びBS2等はビット線として使用され、偶数番号のビット線BL0及びBS2等がソース線として使用されるとき奇数番号のビット線BL1及びBS3等がソース線として使用される。

【0033】読み出しモードにおいて、例えば偶数番号のメモリブロックMB00のワード線WL00に結合されたメモリセルMCが選択されるとき、この選択メモリセルMCのドレインには、図9に例示されるように、センスアンプSAからビット線として使用される偶数番号のビット線BL0、スイッチMOSFETN5及びサブビット線SBLを介して内部電圧VP1つまり+1Vの読み出し電圧が印加される。このため、選択メモリセルMCが書き込み状態にありそのしきい値電圧が小さくなっている場合には、この選択メモリセルMCがオン状態となり、サブソース線SSLからスイッチMOSFETN7ならびにソース線として使用される奇数番号のビット線BL1を介して、点線のような比較的大きな読み出し電流が流れる。また、選択メモリセルMCが消去状態のままとされそのしきい値電圧が大きくなっている場合には、選択メモリセルMCはオフ状態となって読み出し電流は流れない。選択メモリセルMCを介する読み出し電流は、センスアンプSAの対応する増幅回路によってセンスされ、論理“0”又は“1”の読み出しデータとして対応するデータレジスタに取り込まれる。

【0034】なお、上記説明から明らかなように、この実施例のフラッシュメモリでは、偶数又は奇数番号のメモリブロックが選択的に活性化されるため、記憶データの書き込み及び読み出しは $(n+1)/2$ ビット単位で行われ、センスアンプSAのデータレジスタDRは $(n+1)/2$ ビット構成とされる。また、メモリアレイMARYを構成するビット線BL0～BLnのうち、最も左側に配置されるビット線BL0は、ビット線としての

10

20

30

40

50

み使用され、最も右側に配置されるビット線BLn+1は、ソース線としてのみ使用される。

【0035】次に、読み出しモードにおいて、例えば奇数番号のメモリブロックMB01のワード線WL00に結合されたメモリセルMCが選択されるとき、この選択メモリセルMCのドレインには、図10に例示されるように、センスアンプSAからビット線として使用される奇数番号のビット線BL1、スイッチMOSFETN6及びサブビット線SBLを介して内部電圧VP1つまり+1Vの読み出し電圧が印加される。このため、選択メモリセルMCが書き込み状態にありそのしきい値電圧が小さくなっている場合には、選択メモリセルMCがオン状態となり、サブソース線SSLからスイッチMOSFETN8ならびにソース線として使用される偶数番号のビット線BL2を介して、点線のような比較的大きな読み出し電流が流れる。また、選択メモリセルMCが消去状態のままとされそのしきい値電圧が大きくなっている場合には、この選択メモリセルMCはオフ状態となって読み出し電流は流れない。選択メモリセルMCを介する読み出し電流は、センスアンプSAの対応する増幅回路によってセンスされ、論理“0”又は“1”の読み出しデータとして対応するデータレジスタに取り込まれる。

【0036】以上のように、この実施例のフラッシュメモリでは、n+1個のメモリブロックMB00~MB0nないしMBm0~MBmnとn+2本のビット線BL0~BLnが行方向に交互に配置される。このうち、奇数番号のビット線BL1及びBL3等は、対応するブロック選択線BつまりBSB0~BSBmが選択レベルとされることで選択的にソース線として使用され、偶数番号のビット線BL2及びBL4等は、対応するブロック選択線CつまりBSC0~BSCmが選択レベルとされることで選択的にソース線として使用される。この結果、この実施例のフラッシュメモリでも、専用のソース線を設けることなく従来のフラッシュメモリと同様な機能を実現できるため、フラッシュメモリとしての所要選択信号線数を大幅に削減し、その低コスト化を図ることができるものである。

【0037】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 2層ゲート構造型の不揮発性メモリセルが実質格子状に配置されるメモリアレイをその基本構成要素とするノア型フラッシュメモリ等の半導体記憶装置において、対をなす二つのメモリブロック間に配置された一対の列選択信号線あるいは各メモリブロックの両側に配置された2本の列選択信号線をビット線又はソース線として選択的に使用することで、列選択信号線をビット線及びソース線として兼用することができるという効果が得られる。

(2) 上記(1)項により、フラッシュメモリ等のメモリアレイの所要選択信号線を大幅に削減できるという効

果が得られる。

(3) 上記(1)項及び(2)項により、フラッシュメモリ等のチップサイズを縮小し、その低コスト化を図ることができるという効果が得られる。

【0038】以上、本発明者によりなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、メモリアレイMARYは、その直接周辺回路を含めて複数のメモリマットに分割できる。また、フラッシュメモリは、×1又は×16ビット等、任意のビット構成を採りうるし、データのシリアル入出力を条件とするものでもない。フラッシュメモリは、いわゆるアドレスマルチプレクス方式を採りうるし、そのブロック構成も種々の実施形態を採りうる。さらに、起動制御信号及び内部制御信号の組み合わせや名称及び論理レベルならびに電源電圧及び各内部電圧の極性及び絶対値等は、この実施例による制約を受けないし、メモリアレイMARYの選択条件も同様である。

【0039】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリに適用した場合について説明したが、それに限定されるものではなく、例えば、EEPROM(電氣的に記憶情報の消去・書き換えが可能ナードオンリメモリ)等の各種半導体記憶装置や、これらの半導体記憶装置を含むマイクロコンピュータ等のデジタルシステムにも適用できる。この発明は、少なくともビット線及びソース線を必要とする半導体記憶装置ならびにこのような半導体記憶装置を含むシステムに広く適用できる。

【0040】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、2層ゲート構造型の不揮発性メモリセルが実質格子状に配置されたメモリアレイをその基本構成要素とするノア型フラッシュメモリ等の半導体記憶装置において、対をなす二つのメモリブロック間に配置された一対の列選択信号線あるいは各メモリブロックの両側に配置された2本の列選択信号線をビット線又はソース線として選択的に使用することで、列選択信号線をビット線及びソース線として兼用し、メモリアレイの所要選択信号線を大幅に削減することができるため、ノア型フラッシュメモリ等のチップサイズを縮小し、その低コスト化を図ることができる。

【図面の簡単な説明】

【図1】この発明が適用されたフラッシュメモリの一実施例を示すブロック図である。

【図2】図1のフラッシュメモリに含まれるメモリアレイの第1の実施例を示すブロック図である。

【図3】図2のメモリアレイの一実施例を示す部分的な回路図である。

13

【図4】図2のメモリアレイの一実施例を示す選択条件図である。

【図5】図2のメモリアレイの左側メモリブロック読み出し時における接続図である。

【図6】図2のメモリアレイの右側メモリブロック読み出し時における接続図である。

【図7】図1のフラッシュメモリに含まれるメモリアレイの第2の実施例を示すブロック図である。

【図8】図7のメモリアレイの一実施例を示す部分的な回路図である。

【図9】図7のメモリアレイの偶数ビット線読み出し時における接続図である。

【図10】図7のメモリアレイの奇数ビット線読み出し時における接続図である。

【符号の説明】

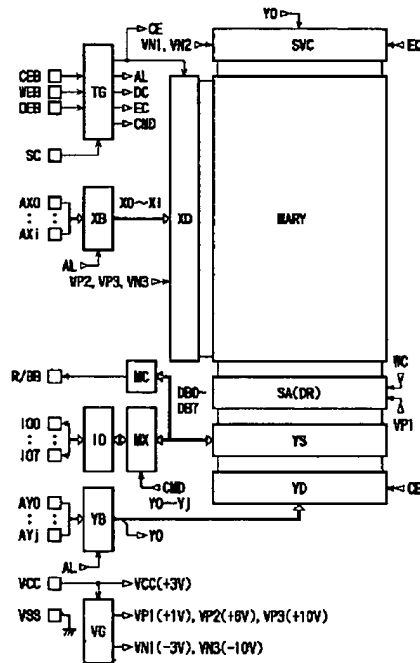
MARY……メモリアレイ、XD……Xアドレスデコーダ、XB……Xアドレスバッファ、SVC……ソース基

14

板電圧切換回路、SA……センスアンプ、YS……Yスイッチ、YD……Yアドレスデコーダ、YB……Yアドレスバッファ、MC……モードコントローラ、MX……マルチプレクサ、IO……データ入出力回路、TG……タイミング発生回路、VG……内部電圧発生回路。MBL00～MBL0nないしMBLm0～MBLmn, MBR00～MBR0nないしMBRm0～MBRmn, MB00～MB0nないしMBm0～MBmn……メモリブロック、BSA0～BSAm……ブロック選択線A、BSB0～BSBm……ブロック選択線B、BSC0～BSCm……ブロック選択線C、WL00～WL0pないしWLm0～WLmp……ワード線、BLL0～BLLn, BLR0～BLRn, BL0～BLn+1……ビット線。MC……2層ゲート構造型メモリセル、SBL, SBLR, SBL……サブビット線、SSL, SSLR, SSL……サブソース線。N1～N8……NチャンネルMOSFET。

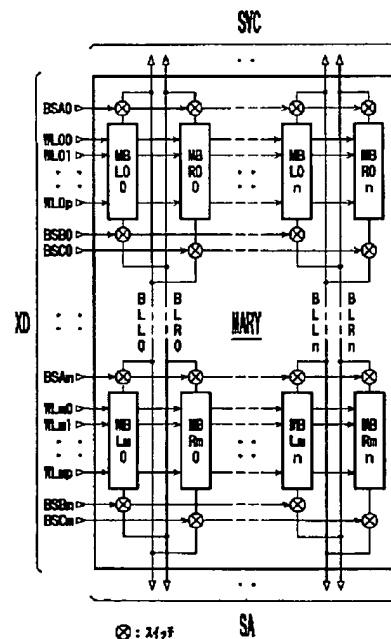
【図1】

図1 フラッシュメモリのブロック構成



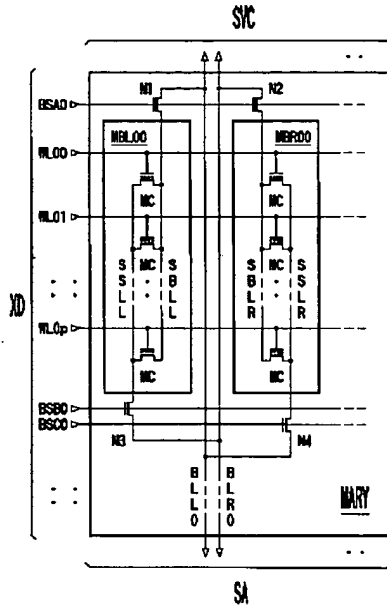
【図2】

図2 メモリアレイのブロック構成 (実施例1)



【図3】

図3 メモリアレイの部分回路構成 (実施例1)



【図4】

図4 メモリアレイの選択条件

| | | 読み出し | 書き込み | 消去 |
|----------|--------|------|--------|------|
| 7-F線 | 選択 | +3V | -10V | +10V |
| | 非選択 | 0V | +3V/0V | 0V |
| ジョック選択線A | 選択 | +3V | +6V | 0V |
| | 非選択 | 0V | 0V | 0V |
| ジョック選択線B | 左側選択 | +3V | OPEN | 0V |
| | 右側選択 | 0V | | |
| | 非選択 | 0V | | |
| ジョック選択線C | 左側選択 | 0V | OPEN | 0V |
| | 右側選択 | +3V | | |
| | 非選択 | 0V | | |
| ビット線 | ビット線選択 | +1V | +3V | -3V |
| | γ-X線選択 | 0V | 0V | |
| | 非選択 | 0V | 0V | -3V |
| FeSi4基板部 | - | 0V | 0V | -3V |

+3V:VCC 0V:VSS
+1V:VP1 +6V:VP2 +10V:VP3
-3V:VNI -10V:VNB

【図5】

図5 メモリアレイ接続図 (左側ブロック読み出し時)

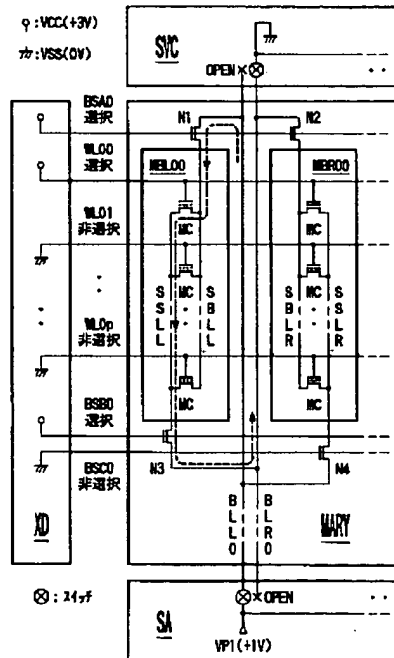
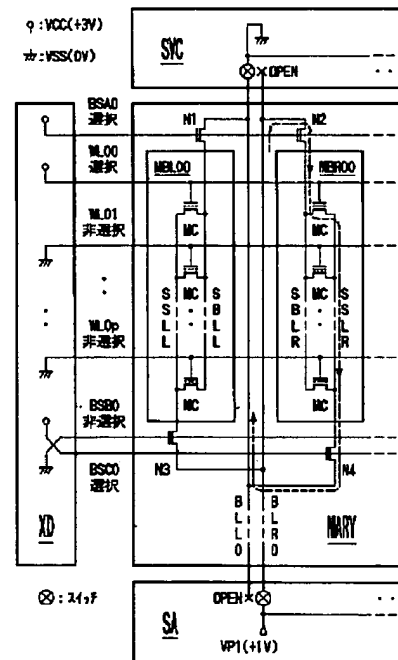
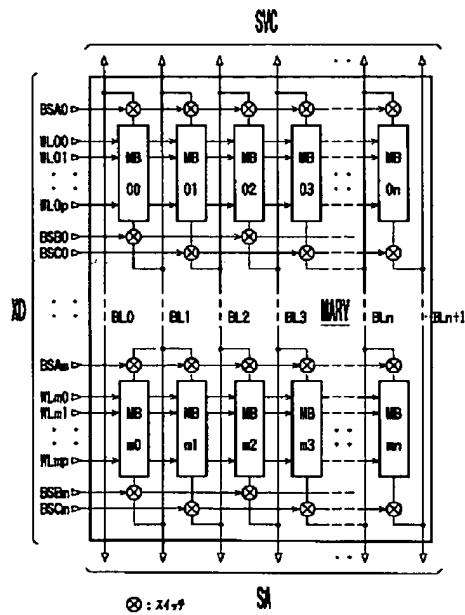


図6 メモリアレイ接続図 (右側ブロック読み出し時)



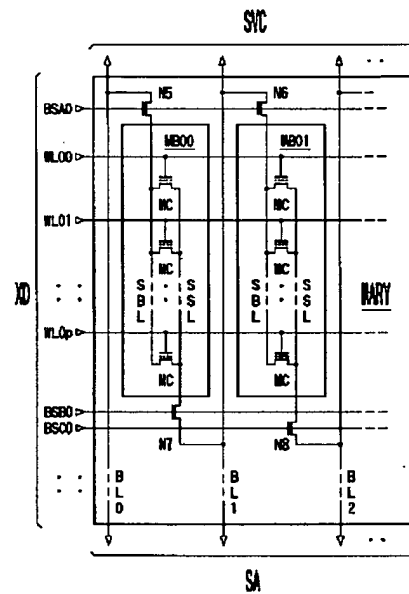
【図7】

図7 メモリアレイのブロック構成 (実施例2)



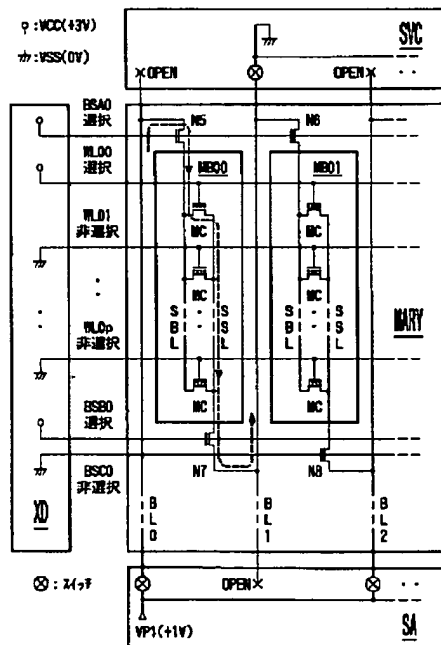
【図8】

図8 メモリアレイの部分回路構成 (実施例2)



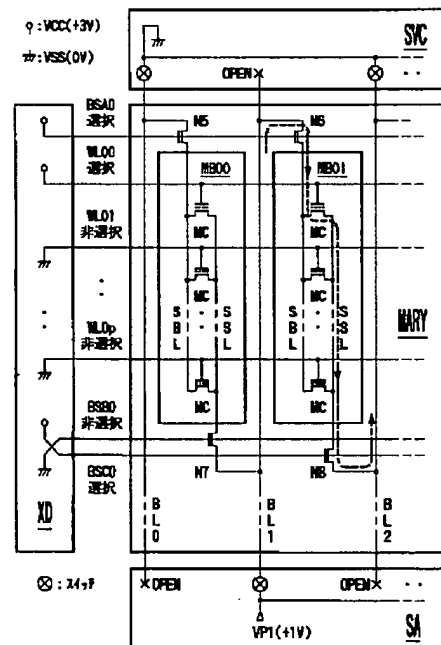
【図9】

図9 メモリアレイ接続図 (偶数ビット線読み出し時)



【図10】

図10 メモリアレイ接続図 (奇数ビット線読み出し時)



フロントページの続き

(72)発明者 野田 敏史
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内